成电国芯 · 研究生培养计划

FPGA / IC 芯片方向

研究生 FPGA 与芯片 精英培养计划

补齐工程项目短板，突围校招，冲刺芯片 / 通信 / AI 硬件高薪赛道。研 0 到研 3 全周期规划，按目标岗位定制工程项目。

> **学历是门槛，项目才是 offer 的决定权**

4 条	研 0-研 3	6 类
赛道逐一对比	全周期时间线	可写简历的工程项目

招生简章 · 2026 版
适用于电子信息类在读研究生

咨询顾问：郝老师
132-5820-7810

00 目录

01 当下研究生电子信息就业现状

02 我们适合哪一类研究生

03 研 0 - 研 3 全周期规划方案

04 课程与项目体系

05 竞赛配套支持

06 就业服务体系

07 学员真实案例

08 预约咨询方式

01 当下研究生电子信息就业现状

大厂选人的公式，已经变了。

三年前，名校硕士靠学历就能拿到芯片、硬件大厂的面试机会。现在大厂选人的公式更接近：**学历背景 + 对口项目能力 + 竞赛 + 高质量实习**。

很多研究生因此陷入两难：下沉到中型企业薪资达不到预期，高薪岗位的工作内容自己又完全不喜欢；短期 1-2 个月的实习大多做边角任务，碰不到核心模块，对简历加分有限。

> 本科阶段的学习重点是学会技术、拿到就业机会；研究生的核心诉求是：有能写进简历、面试扛得住深挖的高质量项目。

六类典型困境

学历红利在退潮

名校硕士投递也未必拿到面试，双非硕士在简历初筛阶段更容易被卡。学历仍是门槛，但已不再是通行证。

课题组方向偏理论

导师以论文产出为主，没有可落地的工程项目。论文有了，简历的「项目经历」一栏却没东西可写。

实习质量参差

短期实习多在做辅助工作，接触不到核心模块。实习不在数量，在于能不能沉淀成面试可深挖的项目。

赛道不知道怎么选

通信、射频、自动化、计算机想转 FPGA / IC 不知道从哪切入；材料、物理、数学想进芯片赛道，找不到入口。

就业还是申博，算不清账

两条路线的投入、产出、风险没人讲清楚，越到研二越焦虑，最后两边都没准备好。

offer 两难

中小型企业的薪资达不到预期，高薪岗位的业务方向自己又不感兴趣。本质是可选范围太窄。

01 四条赛道横向对比

学生最高频的疑问：IC 验证和 FPGA 到底有什么区别，我该走哪条？

方向	核心定位	简历项目特征	适合的研究生	对口企业
FPGA 开发	硬件加速、信号处理、SoC 原型验证，软硬件协同	图像识别加速、雷达信号处理、Vitis AI 模型部署、高速接口、Zynq / Kria 工程	通信、自动化、电子信息；喜欢软硬件结合，愿意调板子看波形	雷达院所、通信设备商、AI 边缘、工业视觉、车载硬件
IC 验证	数字芯片仿真验证，以 UVM 为主	模块级验证平台、子系统验证、回归平台与覆盖率收敛	细心、擅长写脚本、喜欢把流程做闭环，不爱长时间调硬件	芯片设计公司、CPU / GPU、射频芯片、存储芯片
数字 IC 设计	RTL 代码、时序、架构，芯片前端设计	模块架构与 RTL 实现、时序约束与收敛、低功耗设计	逻辑功底扎实，愿意长期深耕芯片前端与架构	自研芯片企业、IP 公司、SoC 厂商
模拟 IC	模拟电路、运放、电源与射频芯片	电路仿真、版图与后仿、PVT / 噪声分析	微电子、物理背景，模电基础扎实	射频芯片、电源管理、模拟芯片厂商

赛道科普只做客观说明：不同方向的能力要求与日常工作内容不同，不存在绝对更好的赛道，只有更适配的选择。

怎么判断自己适合哪一条

喜欢动手调硬件

愿意上板、抓波形、算时序 → 优先看 FPGA 开发。

喜欢写脚本做闭环

能坐得住看日志、抠 corner case → 优先看 IC 验证。

喜欢抠架构与规范

逻辑功底扎实、愿意长期深耕前端 → 数字 IC 设计。

模电基础扎实的微电子 / 物理背景同学，可优先评估模拟 IC；跨专业同学建议先补数电与 Verilog 再定方向。

02 我们适合哪一类研究生

双非 / 普通院校硕士

导师偏理论、课题组项目弱、就业面窄，需要靠项目打破简历初筛。

考研失利 / 海外硕士

学历背书相对弱，课程周期短，需要硬核工程项目补齐竞争力。

跨赛道研究生

通信、射频、自动化、计算机想转 FPGA / IC；材料、物理、数学想进芯片赛道。

课题组缺工程项目

方向偏学术，缺少可写进简历、经得起面试深挖的工程经历。

研 0 - 研 3 全周期适用：包括纠结就业 or 申博、不知道怎么规划技术路线的同学。

03 研 0 - 研 3 全周期规划方案

研 0 · 打底 + 定方向 先把地基和方向定下来

目标：补齐数电与 Verilog 基础，判断走 FPGA 还是 IC 验证。

动作：数电与 Verilog 过一遍，能独立写状态机与接口；用开发板跑通 3 个小工程，确认是否喜欢硬件调试；对照四条赛道岗位 JD 选定主方向；提前了解研电赛赛题，为组队做准备。

交付：一个可演示的小工程 + 一个公开代码仓库。**常见坑：**只刷视频不动手；方向一年换三次。

研 1 · 系统课 + 入门项目 从「看得懂」到「做得出」

目标：完成第一个能讲清楚的工程项目，同步参加研电赛。

动作：系统补齐时序分析与常用接口（UART / SPI / I2C / AXI）；完成 1 个入门项目（图像处理 / 协议解析 / 接口 controller）；组队参加研电赛，把竞赛作品当项目素材；每个项目写一份技术笔记：为什么这么设计、卡在哪、怎么解决。

交付：入门项目 + 竞赛作品 + 可复用的技术文档。**常见坑：**跟着教程抄完就停，面试一深挖就空。

研 2 · 重点项目 + 提前批 这一年决定简历的厚度

目标：做一个经得起深挖的核心项目，争取大厂提前批与高质量实习。

动作：按目标岗位定制 1 个核心工程项目，做到能独立复现与优化；把项目写成简历条目（目标、方案、指标、难点、优化）；梳理提前批时间节点，准备技术面与项目面；争取长期实习，优先选能接触核心模块的岗位。

交付：1 个核心项目（源码、波形、文档、难点与优化点）。**常见坑：**项目堆数量不堆深度，五个项目每个都讲不到三分钟。

研 3 · 复盘 + 面试冲刺 把项目讲成一场完整的技术叙事

目标：项目复盘、面试演练、校招投递与迭代。

动作：按面试官视角重写项目（原理、取舍、bug、指标、优化）；针对目标企业做岗位 JD 对齐，删掉无关项目；做项目深挖模拟，准备高频追问与边界问题；投递后按面试反馈迭代简历与话术。

交付：能连续讲 30 分钟的完整项目叙事。**常见坑：**临近毕业才开始补项目，时间根本不够。

04 课程与项目体系

三层结构，与本科阶段的「学会一门技术」做区分：研究生要的是能写进简历、能被深挖的项目。

第一层 · 标准线上课（初级 + 中级，基础打底）

适合零基础、跨专业，或本科基础不扎实的研究生。

- **数电与 Verilog 基础**：组合 / 时序逻辑、状态机、可综合写法与常见坑
- **时序分析与约束**：建立 / 保持时间、跨时钟域、约束文件怎么写
- **常用接口**：UART / SPI / I2C / AXI，从协议到 RTL 实现
- **开发板实战**：上板调试、ILA 抓波形、从仿真到硬件验证

第二层 · 专项专题课（按需选修，定向赛道）

AI 硬件加速专题

Vitis AI、模型量化、FPGA 端模型部署。

雷达信号处理专题

脉冲压缩、CFAR、测角与工程实现。

FPGA SoC 专题

Zynq 软硬协同、PS / PL 数据通路设计。

算法硬件化专题

定点化、流水线、并行度与资源折中。

芯片验证（UVM）专题

验证平台搭建、用例设计、覆盖率收敛。

通信基带专题

同步、均衡、信道估计的 FPGA 实现。

第三层 · 研究生定制项目课（专区核心）

> 标准化可落地、可写简历、面试可以完整深挖的工程项目，替代课题组缺失的工程经历。

先定目标岗位与意向企业，再选项目方向：不盲目堆项目，每个方向都对应明确的岗位 JD 与面试追问点。

按岗位匹配

FPGA 开发、数字前端、验证、基带，方向不同项目不同。

能独立复现

以「自己能从零跑通并改写」为通过标准。

能被深挖

取舍、bug、优化点都留有可讲的痕迹。

04 定制项目池与交付物

项目方向	对应岗位	难度	周期	技术栈与亮点
高速接口工程	FPGA 开发 / 数字前端	高阶	8-10 周	SerDes / PCIe / JESD204B / DDR3；链路训练与误码测试、时序收敛与眼图评估
图像识别加速	FPGA / AI 硬件	进阶	6-8 周	CNN / 流水线 / AXI-Stream / HDMI；卷积流水线、定点化与精度对比、帧率与资源权衡
雷达信号处理	FPGA 信号处理	高阶	8-10 周	脉冲压缩 / CFAR / FFT / 测角；多通道数据对齐、定点误差与动态范围
AI 边缘部署	FPGA / 边缘计算	进阶	6-8 周	Vitis AI / 模型量化 / DPU / Kria；量化前后精度对比、软硬协同数据通路
数字子系统验证	数字验证 / SoC 验证	进阶	6-8 周	SystemVerilog / UVM / 覆盖率 / 回归脚本；平台分层与复用、corner case 构造
通信基带工程	基带算法 / FPGA 通信	高阶	8-10 周	OFDM / 同步 / 均衡 / 信道估计；同步与频偏估计实现、误码率实测

每个项目的统一交付物

工程源码
完整工程文件，可独立复现。

设计文档
架构、接口、关键模块说明。

仿真与上板结果
波形、测试数据与实测指标。

面试引导文档
原理、取舍、bug、优化四点成线。

难点清单
按面试追问顺序整理。

优化点梳理
指标怎么提、代价是什么。

05 竞赛配套支持

研电赛、电子设计竞赛配套指导：工程模块方案、FPGA 模块实现与调试支持。竞赛成果可直接复用进简历项目，形成「作品 + 指标 + 交付过程」的完整叙事。

作品可展示
自带方案、指标与演示，比课程设计更容易讲出技术深度。

时间有节点
报名、初赛、决赛的时间线天然固定项目推进节奏。

可复用进简历
把模块、算法与优化过程拆出来，就是简历里的项目条目。

06 就业服务体系

步骤	服务内容	说明
01	**一对一技术路线规划**	1 小时免费沟通，按年级、专业基础与目标岗位输出路线，不含推销环节。
02	**项目方向定制**	结合目标岗位与意向企业匹配对应方向的项目，而不是发一个通用工程。
03	**简历项目打磨**	把项目写成可读的条目：目标、方案、指标、难点与优化，删掉空话。
04	**项目面试模拟**	按 FPGA / IC 面试官的深挖习惯反复演练，提前暴露讲不清的地方。
05	**岗位内推与节点提醒**	提前批、正式批时间节点提醒，对口岗位内推信息同步。
06	**赛道与岗位解读**	讲清岗位日常工作内容、能力要求与成长路径，避免入职后才发现不适合。

岗位招聘方向示例（按行业分组）

- **通信设备：**华为、中兴、烽火通信、新华三
- **雷达与院所：**中国电科、航天科工、中电十四所
- **芯片设计：**紫光同创、复旦微电、兆易创新、安路科技
- **AI 与边缘计算：**地平线、寒武纪、海康威视
- **工业与车载：**大疆、汇川技术、比亚迪半导体

以上为相关岗位的主要招聘方向示例，按公开信息整理，不代表录用承诺。

07 学员真实案例

L 同学 · 双非硕士 · 通信工程 · 研 2

困境：导师方向偏理论，课题组没有工程项目，简历项目一栏只能写课程设计。
路径：FPGA SoC + 图像加速定制项目，同步参加研电赛。
去向：某通信设备企业 · FPGA 开发工程师

Z 同学 · 材料专业跨考硕士 · 研 1

困境：想进芯片赛道，但数电、Verilog 都是自学，不知道从哪切入。
路径：先补数电与 Verilog，转 IC 验证方向，从模块级验证做到子系统验证。
去向：某芯片设计公司 · 数字验证工程师

W 同学 · 通信硕士 · 研 2 · 一段 1 个月实习

困境：实习只做数据整理，没碰过核心模块，简历几乎没加分。
路径：雷达信号处理项目 + 研电赛，把实习内容重构为可讲的技术点。
去向：某雷达研究所 · FPGA 信号处理工程师

C 同学 · 一年制海外硕士 · 电子工程

困境：课程周期短、项目空，回国投递时没有经得起深挖的工程经历。
路径：AI 边缘部署项目：模型量化、DPU 部署与性能对比。
去向：某 AI 芯片公司 · 应用工程师

以上案例为真实学员背景，姓名与院校已按隐私要求脱敏，并已取得学员授权。

08 预约咨询方式

不知道选 FPGA 还是 IC 验证，不知道研 0 - 研 3 怎么安排？提交信息后，由资深工程师一对一沟通，输出专属学习路线。

预约时建议准备的信息

基本情况

本科专业、研究生专业、当前年级（研 0 - 研 3）。

技术基础

擅长技术：数电 / Verilog / C / Python / DSP / 嵌入式等。

目标方向

意向项目方向与目标企业，便于匹配岗位 JD。

免费预约 1 小时一对一技术路线规划

咨询顾问：郝老师

电话 / 微信：132-5820-7810

邮箱：service@iccedu.cn

在线预约：fpgalearn.com/graduate/apply

常见问题

双非硕士还有机会进芯片大厂吗?

学历是筛选门槛，不是否决项。对口、完整、经得起深挖的项目，是打破学历限制最有效的方式。

短期实习含金量很低吗?

1-2 个月的短期实习大多负责辅助工作，很难接触核心模块；真正加分的是能长期投入、能碰核心模块的实习。

跨专业需要先补多久基础?

按每周 10-12 小时投入估算，数电与 Verilog 基础通常需要 6-8 周，能独立写出状态机与常用接口后再进项目比较稳。

需要脱产学习吗?

不需要。基础课在研一前完成，项目在研二铺开，竞赛与投递按时间节点插入。

项目做完之后，面试会怎么提问?

面试官通常从项目目标、方案取舍、指标达成、遇到的 bug、优化过程五个方向追问，交付含面试引导文档。

项目是跟着做还是自己写?

以自己能独立复现、能讲清取舍为标准。源码与文档可带走用于个人学习与面试讲解，不得用于商业分发。

口径与合规说明：本简章涉及薪资的内容均为岗位区间参考，不承诺具体收入、不承诺录用；学历相关表述仅陈述市场现状，不贬低任何院校；案例为真实学员背景并已脱敏授权，不使用「保 offer」「保就业」等承诺性表述。赛道说明仅做客观差异对比，不评判优劣。